

MENU

SEARCH

INDEX

DETAIL

JAPANESE

JESAM

1 / 1

---

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 10-284614  
(43)Date of publication of application : 23.10.1998

---

(51)Int.Cl. H01L 21/8222  
H01L 27/082  
H01L 29/165  
H01L 21/331  
H01L 29/73

---

(21)Application number :	09-083526	(71) Applicant :	HITACHI LTD
(22)Date of filing :	02.04.1997	(72)Inventor :	ODA KATSUYA MASUDA TORU OUE EIJI WASHIO KATSUYOSHI

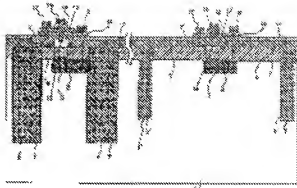
---

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit device, where bipolar transistors of different cut-off frequencies and withstand voltages are formed on the same semiconductor chip, and a method for manufacturing the device.

**SOLUTION:** Bipolar transistors having intrinsic base layers 10 and 10' with differing thickness are formed on a same semiconductor substrate 1. The thicknesses of the base layers can be determined simultaneously by designing distances from a low-concentration collector layer 3, embedded in an opening of a base collector separation-insulating film 4, to device separation insulating films 7 and 7', and widths of grooves where the device separation insulating films are embedded. By this arrangement, the performance of a circuit using the bipolar transistors can be improved. Further, as diodes used for compensation for the withstand voltages can be omitted, increase in a parasitic capacity due to addition of diodes can be prevented. Thus, a circuit can operate at a high speed.



特開平10-284614

(43) 公開日 平成10年(1998)10月23日

(51) Int. Cl. <sup>6</sup>	識別記号	F I	I G I T
H 0 1 L 21/8222		H 0 1 L 27/06	
27/082		29/165	
29/165		23/72	
21/331			
29/73			

審査請求 未請求 請求項の数 8 ○ L (全 15 頁)

(21) 出願番号	特願平9-63526	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田麹町四丁目6番地
(22) 出願日	平成9年(1997)4月2日	(72) 発明者	小田 克矢 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	増田 徹 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	大領 栄司 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(74) 代理人	弁護士 高橋 明夫

最終頁に続く

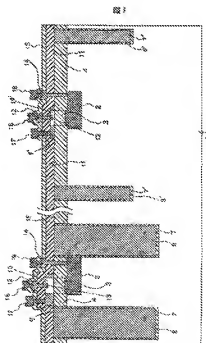
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】 同一半導体チップ上に遮断周波数および耐圧の異なる各バイポーラトランジスタを形成した半導体集積回路装置及びその製造方法を提供する。

【解決手段】 真性ベース層 10、10' の厚さが異なるバイポーラトランジスタを同一半導体基板 1 上に形成する。このベース層の厚さは、ベース・コレクタ分離絶縁膜 4 の開口部に埋め込んだ低濃度コレクタ層 3 から素子分離絶縁膜 7、7' までの距離と、素子分離絶縁膜を埋め込む層の幅とを設計することにより、同時に作製できる。

【効果】 バイポーラトランジスタを用いた回路の高性能化が可能となる。耐圧を揃うために用いていたダイオードが不要となるため、ダイオード追加による寄生容量の増加を防止でき、回路の高速動作が可能となる。



# 【特許請求の範囲】

【請求項1】シリコン基板と、該シリコン基板に設けられた高濃度 $n$ 型導電型単結晶シリコン層と、該高濃度 $n$ 型導電型単結晶シリコン層上に設けられた開口部を有する絶縁膜と、前記開口部に埋め込んだ低濃度 $p$ 型導電型の単結晶シリコン層と、該低濃度 $p$ 型導電型の単結晶シリコン層上に設けられた第1導電型と反対導電型の第2導電型単結晶シリコン・ゲルマニウム層と、前記絶縁膜上に第2導電型単結晶シリコン・ゲルマニウム層と接して設けられた第2導電型多結晶シリコン・ゲルマニウム層と、前記シリコン基板中の前記開口部以外の部分に設けられた素子分離絶縁領域とからなり、該素子分離絶縁領域の幅および前記開口部からの距離によって前記第2導電型単結晶シリコン・ゲルマニウム層の厚さが異なるバイポーラトランジスタを有することを特徴とする半導体集積回路装置。

【請求項2】前記第2導電型単結晶シリコン・ゲルマニウム層の代わりに第2導電型単結晶シリコン層を設けて成る請求項1記載の半導体集積回路装置。

【請求項3】前記第2導電型単結晶シリコン・ゲルマニウム層の代わりに第2導電型単結晶シリコン層を設けて、前記第2導電型多結晶シリコン・ゲルマニウム層の代わりに第2導電型多結晶シリコン層を設けて成る請求項1記載の半導体集積回路装置。

【請求項4】前記シリコン基板に設けられた素子分離絶縁領域の幅が少なくとも $0.1\mu\text{m}$ である請求項1記載の半導体集積回路装置。

【請求項5】シリコン基板を高濃度 $n$ 型導電型単結晶シリコン層を形成する工程と、該高濃度 $n$ 型導電型単結晶シリコン層上に開口部を有する絶縁膜を形成する工程と、

前記開口部に低濃度 $p$ 型導電型単結晶シリコン層を埋め込む工程と、

前記開口部に埋め込んだ低濃度 $p$ 型導電型単結晶シリコン層上に第1導電型と反対導電型の第2導電型単結晶シリコン・ゲルマニウム層を形成すると共に前記絶縁膜上に第2導電型単結晶シリコン・ゲルマニウム層と接して第2導電型多結晶シリコン・ゲルマニウム層を形成するエピタキシャル成長工程と、前記シリコン基板の前記開口部以外の部分に、幅及び前記開口部からの距離が異なる素子分離絶縁領域を形成する工程とからなり、

前記エピタキシャル成長工程が、低濃度 $p$ 型導電型単結晶シリコン層およびシリコン基板に設けられた素子分離絶縁領域を加熱することにより、第2導電型単結晶シリコン・ゲルマニウム層をエピタキシャル成長することを特徴とする半導体集積回路装置の製造方法。

【請求項6】前記エピタキシャル成長工程において、前記第2導電型単結晶シリコン・ゲルマニウム層及び第2導電型多結晶シリコン・ゲルマニウム層の代わりに、第

2導電型単結晶シリコン層及び第2導電型多結晶シリコン層をエピタキシャル成長する請求項5記載の半導体集積回路装置の製造方法。

【請求項7】光信号を受け電気信号を出力する受光素子と、

受光素子からの電気信号を受ける第1の増幅回路と、前記第1の増幅回路の出力を受ける第2の増幅回路と、所定のクロック信号に同期して、前記第2の増幅回路の出力をデジタル信号に変換する識別部とを有する光受信システムであって、

前記第1の増幅回路は、前記受光素子にそのベースが接続された第1のバイポーラトランジスタと、該第1のバイポーラトランジスタのコレクタにそのベースが接続されそのコレクタが前記第2の増幅回路の入力に接続された第2のバイポーラトランジスタとを有し、前記第1又は第2のバイポーラトランジスタが請求項1記載の半導体集積回路装置により構成されたことを特徴とする光受信システム。

【請求項8】前記第1及び第2のバイポーラトランジスタからなる第1の増幅回路は単一の半導体チップ上に形成され、前記受光素子と前記半導体チップとは同一の基板の上に実装されて成る請求項7記載の光受信システム。

## 【発明の詳細な説明】

### 【0001】

【発明の属する技術分野】本発明は半導体集積回路装置及びその製造方法に係り、特に単結晶シリコン・ゲルマニウム層もしくは半結晶シリコン層を異性ベース層として用いたバイポーラトランジスタからなる半導体集積回路装置及びその製造方法に関する。

### 【0002】

【従来の技術】従来、この種の単結晶シリコン・ゲルマニウム層を異性ベース層として用いたバイポーラトランジスタからなる半導体集積回路装置として、図2に示す断面構造を有するものが知られている。例えば、1992年 IEDM テクニカルダイジェストの第397頁〜第400頁 (IEDM '92, Technical Digest, pp.397-400) に記載されている。

【0003】図2において、参照符号21はシリコン基板を示し、このシリコン基板21上にコレクタとなる高濃度 $n$ 型シリコン層22および低濃度 $p$ 型シリコン層23を形成する。トランジスタの活性領域以外の部分にコレクタ・ベース分離絶縁膜24を形成し、各トランジスタ間にドライエッチングした溝の内壁に絶縁膜25を形成した。溝の中心にさらに絶縁膜26を埋め込むことにより素子分離絶縁領域とする。コレクタ・ベース分離絶縁膜24上にベース引き出し電極となる多結晶シリコン層27を形成し、低濃度 $p$ 型シリコン層23上に異性ベースとなる $p$ 型シリコン・ゲルマニウム層28をエピタキシャル成長させる。エミッタ・ベース分離絶縁膜29を形成し、エミッタ開口部をエッチング除去する。エミ

クタ電極となる高濃度n型多結晶シリコン層30を堆積した後、フェリールによって単結晶シリコン・ゲルマニウム層28内へn型ドーパントを拡散させることによりエミッタ領域31を形成する。コレクタ部分を開口し、コレクタ引出し電極となる高濃度n型多結晶シリコン32を形成した後、絶縁物33を形成する。絶縁物33の電極取り出し部分に開口部を設けた後、エミッタ電極34、ベース電極35、コレクタ電極36をそれぞれ形成する。

#### 【0064】

【発明が解決しようとする課題】 前述した単結晶シリコン・ゲルマニウムをベース層に用いたバイポーラトランジスタからなる従来の半導体集積回路装置では、各トランジスタの活性ベース層の厚さが等しくなるために、半導体集積回路装置を形成したときにすべてのトランジスタの特性がプロセスばらつきの範囲内で等しくなる。一方、半導体集積回路装置に用いるトランジスタは、その回路構成により高速性が求められるトランジスタと、耐圧が求められるトランジスタに分けられる。しかし、トランジスタの遮断周波数と耐圧はトレードオフの関係にあるため、遮断周波数を上げるためにベース層を薄くしたトランジスタで耐圧を構成すると耐圧が足りなくなり、逆に耐圧を上げるためにベース層を厚くしたトランジスタで耐圧を構成すると回路の高速動作ができないという問題がある。

【0065】 また、ベース層を薄くして遮断周波数を上げたトランジスタを用いている半導体集積回路装置では、耐圧を上げるためにコレクタ側にダイオードを形成する必要がある。このため高耐圧が必要なトランジスタの寄生容量が実効的に増加し、半導体集積回路装置の動作が低下してしまうという問題がある。

【0066】 そこで、本発明の目的は、単結晶シリコン・ゲルマニウム層もしくは単結晶シリコン層をベース層として用いたバイポーラトランジスタからなる半導体集積回路装置において、遮断周波数および耐圧を各バイポーラトランジスタごとに変化させることが可能な半導体集積回路装置とその製造方法を提供することにある。

#### 【0067】

【課題を解決するための手段】 前述した課題を解決するために、本発明に係る半導体集積回路装置は、シリコン基板、例えば、図1で言えば、シリコン基板1と、該シリコン基板に設けられた高濃度第1導電型単結晶シリコン層すなわち高濃度n型単結晶シリコン層2と、該第1導電型単結晶シリコン層上に設けられた開口部を有する絶縁膜すなわちコレクタ・ベース分離絶縁膜4と、前記開口部に埋め込んだ低濃度第1導電型単結晶シリコン層すなわち低濃度n型単結晶シリコン層3と、該低濃度第1導電型単結晶シリコン層上に設けられた第1導電型と反対導電型の第2導電型単結晶シリコン・ゲルマニウム層すなわちp型シリコン・ゲルマニウム層10、10'

と、前記絶縁膜上に第2導電型単結晶シリコン・ゲルマニウム層と接して設けられた第2導電型多結晶シリコン・ゲルマニウム層すなわちp型多結晶シリコン・ゲルマニウム層9、9'と、前記シリコン基板の前記開口部以外の部分に設けられた素子分離絶縁領域とからなり、該素子分離絶縁領域の幅すなわち溝の幅Wおよび前記開口部からの距離すなわち低濃度n型単結晶シリコン層3から膜までの距離Dによって前記第2導電型単結晶シリコン層の厚さが異なるバイポーラトランジスタを有することを特徴とするものである。

【0068】 この場合、前記第2導電型単結晶シリコン・ゲルマニウム層の代わりに第2導電型単結晶シリコン層を設けてもよい。そして更に、前記第2導電型多結晶シリコン・ゲルマニウム層の代わりに第2導電型多結晶シリコン層としてもよい。

【0069】 また、前述した半導体集積回路装置において、前記シリコン基板に形成された素子分離絶縁領域の幅Wは、少なくとも0.1  $\mu\text{m}$  とすれば好適である。

【0070】 そして、本発明に係る半導体集積回路装置の製造方法は、シリコン基板に高濃度第1導電型単結晶シリコン層、例えば、シリコン基板1に高濃度n型単結晶シリコン層3を形成する工程と、該高濃度第1導電型単結晶シリコン層上に開口部を有する絶縁膜すなわちコレクタ・ベース分離絶縁膜4を形成する工程と、前記開口部に低濃度第1導電型単結晶シリコン層すなわち低濃度n型単結晶シリコン層3を埋め込む工程と、前記開口部に第1導電型と反対導電型の第2導電型単結晶シリコン・ゲルマニウム層すなわちp型単結晶シリコン・ゲルマニウム層10、10'を形成すると共に前記絶縁膜上に第2導電型単結晶シリコン・ゲルマニウム層と接して第2導電型多結晶シリコン・ゲルマニウム層9と接して第2導電型多結晶シリコン・ゲルマニウム層9'を形成するエピタキシャル成長工程と、前記シリコン基板の前記開口部以外の部分に、幅W及び前記開口部からの距離Dが異なる素子分離絶縁領域を形成する工程とからなり、前記エピタキシャル成長工程が、低濃度第1導電型単結晶シリコン層およびシリコン基板に設けられた素子分離絶縁領域を加熱することにより、第2導電型単結晶シリコン・ゲルマニウム層をエピタキシャル成長することを特徴とする半導体集積回路装置の製造方法。

【0071】 また、前記半導体集積回路装置の製造方法において、前記エピタキシャル成長工程の第2導電型単結晶シリコン・ゲルマニウム層及び第2導電型多結晶シリコン・ゲルマニウム層の代わりに、第2導電型単結晶シリコン層及び第2導電型多結晶シリコン層をエピタキシャル成長してもよい。

#### 【0072】

【発明の実施の形態】 本発明に係る半導体集積回路装置の好適な実施の形態は、例えば、図1に示すように、シ

シリコン基板１と、このシリコン基板に設けられた高濃度の $n$ 型単結晶シリコン層２と、この高濃度の $n$ 型単結晶シリコン層２上に設けられた開口部を有するベース・コレクタ分離絶縁膜４と、前記開口部に埋め込んだ低濃度の $n$ 型単結晶シリコン層３と、この低濃度の $n$ 型単結晶シリコン層３上に設けられた $p$ 型の多結晶シリコン・ゲルマニウム層９、 $10$ と、ベース・コレクタ分離絶縁膜４上にこの $p$ 型の多結晶シリコン・ゲルマニウム層と被覆して設けられた $p$ 型の多結晶シリコン・ゲルマニウム層９、 $9'$ と、シリコン基板１中の前記開口部以外の部分に設けられた素子分離絶縁領域とから少なくとも構成され、この素子分離絶縁領域の幅 $W$ および開口部からの距離 $D$ によって真性ベースとなる $p$ 型単結晶シリコン・ゲルマニウム層の厚さが異なるバイポーラトランジスタを有する半導体集積回路装置である。

【００１３】このような同一半導体チップ上で真性ベース層の厚さが異なるバイポーラトランジスタ、すなわち、耐圧 $BV_{CEO}$ は低いが高周波増幅 $f_T$ が高いバイポーラトランジスタと、遮断周波数 $f_T$ は低い耐圧 $BV_{CEO}$ が高いバイポーラトランジスタとといった特性の異なるバイポーラトランジスタを使用できる。従って、高周波性を求められるトランジスタと、耐圧が求められるトランジスタが協定する回路構成に対して、それぞれに最適な特性を有するバイポーラトランジスタを用いることにより、回路の高周波性や高性比化を図った半導体集積回路装置を実現することができる。

【００１４】

【実施例】次に、本発明に係る半導体集積回路装置及びその製造方法の些に具体的な実施例につき、図付図面を参照しながら以下詳細に説明する。

【００１５】＜実施例１＞図１は、本発明に係る半導体集積回路装置の一実施例を示す断面構造である。図１において、参照符号１はシリコン基板を示し、このシリコン基板１上にコレクタとなる高濃度 $n$ 型シリコン層２および低濃度 $n$ 型シリコン層３を形成する。トランジスタの活性領域以外の部分にコレクタ・ベース分離絶縁膜４を形成し、各トランジスタ間にドライエッチングによって溝を形成する。このとき、バイポーラトランジスタ回路中の耐圧が異なるトランジスタの周辺に形成する素子分離絶縁領域は、回路中の遮断周波数の高いトランジスタの周辺の素子分離絶縁領域よりも幅を大きく、且つ、コレクタ・ベース分離絶縁膜４の開口部からの距離を近くする。溝の内側に絶縁膜 $7$ 、 $7'$ を形成した後、溝の中にさらに絶縁膜 $8$ 、 $8'$ を埋め込むことによって素子分離領域を形成する。コレクタ・ベース分離絶縁膜４上にベース引き出し電極となる多結晶シリコン層 $9$ 、 $9'$ を形成し、コレクタ・ベース分離絶縁膜４の開口部にある低濃度 $n$ 型シリコン層３の上に真性ベースとなる $p$ 型シリコン・ゲルマニウム層 $10$ 、 $10'$ をエピタキシャル成長する。エミッタ・ベース分離絶縁膜１を形成

し、エミッタ開口部をエッチング除去する。エミッタ電極となる高濃度 $n$ 型多結晶シリコン層１２を形成した後、 $p$ -エミッタによって単結晶シリコン・ゲルマニウム層 $10$ 、 $10'$ 内へ $n$ 型ドーパントを拡散させることによってエミッタ電極１３を形成する。コレクタ部分を開口し、コレクタ引き出し電極となる高濃度 $n$ 型多結晶シリコン１４を形成した後、絶縁物１５を形成する。絶縁物１５の電極取り出し部分に開口部を設けた後、エミッタ電極１６、ベース電極１７、コレクタ電極１８をそれぞれ形成する。

【００１６】図３～図６に、図１に示した構造を有する半導体集積回路装置を実現するための素子分離絶縁領域および真性ベース層の製造方法のフロー図を示す。

【００１７】まず、シリコン基板１上にコレクタ層となる高濃度 $n$ 型単結晶シリコン層２を拡散またはイオン打ち込み法により形成後、コレクタ・ベース分離絶縁膜４とその開口部を形成し、開口部に低濃度コレクタ層となる低濃度 $n$ 型単結晶シリコン層３を選択エピタキシャル成長により形成する（図３参照）。ここで、コレクタ・ベース分離絶縁膜４としては、例えば熱酸化により形成した $SiO_2$ 膜を用いることができる。尚、低濃度 $n$ 型単結晶シリコン層３を全面エピタキシャル成長により形成する場合には、高濃度 $n$ 型単結晶シリコン層２、低濃度 $n$ 型単結晶シリコン層 $9$ 、コレクタ・ベース分離絶縁膜４の順で形成すればよい。この場合、低濃度 $n$ 型単結晶シリコン層３の低濃度コレクタ層と成る部分を残すように選択酸化法によりコレクタ・ベース分離絶縁膜４を形成する。

【００１８】次いで、バイポーラトランジスタ回路の中で、耐圧を上げたい高耐圧トランジスタの周辺に素子分離絶縁領域となる幅の広い溝 $6$ 、例えば、コレクタ・エミッタ間の耐圧 $BV_{CEO}$ として $7V$ 程度を得たい場合には、幅 $10\mu m$ 程度の溝 $6$ をドライエッチングにより形成する。これと同時に、遮断周波数 $f_T$ を上げたい遮断周波数トランジスタの周辺には同じく素子分離絶縁領域となる溝 $5$ よりも幅の狭い溝 $6$ 、例えば、遮断周波数 $f_T$ として $120GHz$ 程度を得たい場合には、幅 $0.5\mu m$ 程度、深さ $1\mu m$ 程度の溝 $6$ を形成する（図４参照）。尚、幅の広い溝と狭い溝を同時にドライエッチングする場合、幅 $10\mu m$ の溝の深さは、狭い溝の深さよりも少し深くなり $1\mu m$ 以上となる。

【００１９】次いで、溝 $5$ 、 $6$ の内壁にそれぞれ絶縁膜 $7$ 、 $7'$ を形成した後、絶縁膜 $8$ 、 $8'$ を埋め込んだ後、平坦化を行って表面の絶縁膜をエッチング除去することによって低濃度 $n$ 型単結晶シリコン層３の全面を露出させる（図５参照）。例えば、絶縁膜 $7$ 、 $7'$ としては熱酸化により形成した $SiO_2$ 膜を用いることができ、絶縁膜 $8$ 、 $8'$ としては酸素ガラス（ $SiO_2$ ）膜、或いはCVD（Chemical Vapor Deposition）法による $SiO_2$ 膜を用いることができる。SOG膜を用いる場

合は、熱処理により平坦化することができ、CVD- $\text{SiO}_2$ 膜を用いる場合にはエッチバック法により平坦化することができ、勿論、CMP (Chemical Mechanical Polishing) 法によって平坦化を行うことも可能である。

【0020】次いで、コレクタ・ベース分離酸化膜4上にベース引を出し多結晶シリコン層9、9'を、低濃度n型単結晶シリコン層3上に真性ベースとなるp型単結晶シリコン/ゲルマニウム層10、10'を、MBE (Molecular Beam Epitaxy) 法あるいはCVD法によりエピタキシャル成長する(図6参照)。

【0021】ここで、素子分離絶縁領域の絶縁膜8、8'を酸化膜( $\text{SiO}_2$ )とし、p型単結晶シリコン・ゲルマニウム層10、10'をエピタキシャル成長するためにシリコン基板1を575℃に加熱した場合、低濃度n型単結晶シリコン層3の温度と低濃度n型単結晶シリコン層3から溝までの距離d'(溝5に対してはd、溝8に対してはd')に対応するとの関係を、素子分離絶縁領域となる溝の幅W(溝5に対してはw、溝8に対してはw')に対応する)をパラメータにして図7に示す。酸化膜の熱伝導率や熱膨張率および熱収縮率はシリコンとは異なっているために、シリコン基板1を加熱すると、酸化膜はシリコンよりも高温になり、低濃度n型単結晶シリコン層3によって酸化膜8、8'は熱源として作用する。従って、素子分離絶縁領域の溝の幅Wを大きくし、さらに低濃度n型単結晶シリコン層3との距離d'を短くすることによって、素子分離絶縁領域8、8'からの熱伝導により低濃度n型単結晶シリコン層3の温度が上昇する。例えば、素子分離絶縁領域となる溝5の幅wが10 $\mu\text{m}$ で低濃度n型単結晶シリコン層3からの距離d'が、4 $\mu\text{m}$ の場合、図7より低濃度n型単結晶シリコン層3の温度は約59.5℃となる。図8に、シリコン・ゲルマニウム層のエピタキシャル成長速度と成長温度の関係を示す。例えば、p型単結晶シリコン・ゲルマニウム層10として $\text{Si}_{1.0}\text{Ge}_{0.0}$ をエピタキシャル成長する場合、図8より成長速度は1.2nm/minとなることがわかる。一方、同時に形成する溝6の幅w'を0.5 $\mu\text{m}$ とし、溝6と低濃度n型単結晶シリコン層3との距離d'を1 $\mu\text{m}$ とすると、図7より低濃度n型単結晶シリコン層3の温度は57.5℃となり、このときの $\text{Si}_{1.0}\text{Ge}_{0.0}$ 層の成長速度は図8から6nm/minとなることがわかる。従って、例えば4.7分間エピタキシャル成長を行った場合、高濃度トランジスタでのp型単結晶シリコン/ゲルマニウム層10の厚さは8nmとなり、高濃度トランジスタを形成する部分のp型単結晶シリコン/ゲルマニウム層10'の厚さは8nmとなる。

【0022】本実施例により、真性ベース層10、10'の厚さが揃うバイポーラトランジスタを同一導体基板上に同時に形成できる。このため、バイポーラトラ

ンジスタ集積回路装置に用いるトランジスタの耐圧および遮断周波数を個別に設計することが可能となり、回路の高速化・高性化に有効である。このような構造のバイポーラトランジスタのベース不純物濃度 $N_B$ を $1 \times 10^{19} \text{cm}^{-3}$ としたときの、ベース幅 $W_B$ と遮断周波数 $f_T$ の関係を図16に、ベース幅 $W_B$ と耐圧 $BV_{CEO}$ の関係を図17に示す。本実施例の場合のバイポーラトランジスタの耐圧 $BV_{CEO}$ と遮断周波数 $f_T$ は、図16及び図17より、遮断圧バイポーラトランジスタの耐圧 $BV_{CEO}$ および遮断周波数 $f_T$ は、それぞれ6Vおよび3.3GHz程度、高遮断周波数トランジスタの耐圧 $BV_{CEO}$ および遮断周波数 $f_T$ は、それぞれ2Vおよび1.0GHz程度とすることがわかる。

【0023】>実施例2>図9に、本発明に係る半導体集積回路装置を適用する回路の一実施例を示す。図9に示した回路は、光伝送システムや大型計算機などに用いられる論理回路である。図9において、参照符号V1、V2、V3は、この論理回路を構成しているバイポーラトランジスタを駆動するための電圧を与える端子であり、V1in1、V1in2は入力端子、Vout1は出力端子である。IQ1、IQ2は定電流源であり、R1、R2は抵抗である。バイポーラトランジスタQ1、Q2、Q3は論理回路を構成するバイポーラトランジスタである。例えば、図9に示した回路を40bit/sの光伝送用のデジタル回路のドライバとして用いる場合、トランジスタQ1、Q2は遮断周波数 $f_T$ として100GHz程度の高速動作が要求されるが、耐圧 $BV_{CEO}$ としては2V程度あればよい。一方、トランジスタQ3は、電圧の変化が大きいため耐圧 $BV_{CEO}$ として4V以上が要求されるが、遮断周波数 $f_T$ としては60GHz以上あればよい。従って、図16と図17よりトランジスタQ1、Q2のベース幅として20nm、トランジスタQ3のベース幅として38nmが必要である。真性ベース層の厚さとベース幅 $W_B$ がほぼ等しいとすれば(尚、ベース幅 $W_B$ は実際には真性ベース層の厚さからエミッタ層を引いた分であるが、ここでは便宜を簡単にするためにほぼ等しいとした)、実施例1と同様に溝5の幅wが10 $\mu\text{m}$ で低濃度n型単結晶シリコン層3からの距離d'が4 $\mu\text{m}$ の場合、高耐圧トランジスタQ3の真性ベース層10の厚さとして38nmを得るためには、例えば、真性ベース層として $\text{Si}_{1.0}\text{Ge}_{0.0}$ 組成のp型単結晶シリコン・ゲルマニウム層をエピタキシャル成長する場合、図8より成長速度は1.14nm/minであるから、シリコン基板温度57.5℃にて3.3分間の成長を行えばよい。この時、高遮断周波数トランジスタQ1、Q2の真性ベース層の厚さは20nm程度となる。

【0024】このように、トランジスタQ1、Q2のベース層を薄く、トランジスタQ3のベース層を厚くしてそれぞれに要求される耐圧及び遮断周波数特性を満足したバイポーラトランジスタを同一チップ上で形成して開

路を構成できるので、単一の層上のベース層を有する従来のトランジスタで構成した場合に比べてドライバ回路の性能が向上する。

【0025】本実施例3(図10)に、本発明に係る半導体集積回路装置を適用する回路の別の実施例を示す。図10に示した回路は、光伝送システムに用いられる前置増幅回路である。周知のとおり、光伝送システムは、数 $10^{11}$  bit/s の高速伝送が必要であり、その前置増幅回路は特に高速動作が要求されるものである。従って、この増幅回路に本発明による半導体集積回路装置を適用することにより、増幅回路全体での性能を著しく向上することができる。

【0026】図10において、参照符号300は単一の半導体基板上に形成された前置増幅回路を構成する半導体集積回路装置を示し、この半導体集積回路装置300は40Gb/s 光伝送用の受信器に使用される。半導体集積回路装置300には、光伝送ケーブルを通して送信されてくる光信号を受ける受光素子であるフォトダイオードPDと、電源ラインと接地ラインとの間に接続され、交流成分をシャットするためのデカップリング容量303とが、外付けされる。

【0027】半導体集積回路装置300内のバイポーラトランジスタQ1及びQ2は、増幅回路を構成するバイポーラトランジスタであり、前述した実施例の構造を有する素子が適用される。バイポーラトランジスタQ1は、バイポーラトランジスタQ2よりも電圧振幅が大きくなるために、飽和を免ずる必要がある。例えば、トランジスタQ2は飽和電圧 $V_{CE0}$ として4V、遮断周波数 $f_T$ として60GHz程度が要求され、トランジスタQ1は遮断周波数 $f_T$ として100GHz程度が要求されるが、飽和電圧 $V_{CE0}$ は2V程度と低くてもよい。

【0028】従って、図16と図17よりトランジスタQ1のベース層として20nm、トランジスタQ2のベース層として38nmが必要である。異性ベース層の厚さとベース層 $V_{00}$ がほぼ等しいとすれば、実施例2と同様に厚さ5nmの $\gamma$ が10 $\mu$ mで低抵抗型n型半導体シリコン層3からの距離dが1 $\mu$ mの場合、高電圧トランジスタQ2の異性ベース層10の厚さとして38nm得るためには、例えば、異性ベース層としてSi $_{1.0}$ G $_{0.9}$ 組成のp型半導体シリコン・ゲルマニウム層をエピタキシャル成長する場合、シリコン成長速度は1.1、4nm/m $\mu$ mであるから、シリコン基板温度575℃にて3、3分間の成長を行えばよい。この時、高遮断周波数トランジスタQ1の異性ベース層の厚さは20nm程度となる。このように、トランジスタQ2のベース層をトランジスタQ1のベース層よりも厚くすることによって、従来のような同じ厚さの異性ベース層でトランジスタQ1、Q2を構成するよりも半導体集積回路装置300の高性能化を図ることができる。

【0029】半導体集積回路装置300内のダイオード

D1はレベルシフト用ダイオードであり、バイポーラトランジスタを用い、そのベース・コレクタ間を短絡して形成することも可能であり、また、必要に応じて複数のダイオードを直列接続して適用することも可能である。参照符号R1、R2、R3は、それぞれ抵抗である。また、OU1は出力端子であり、必要に応じてトランジスタQ2のエミッタとの間に出力用バッファ回路が挿入される。

【0030】本実施例では、光伝送ケーブルを伝送した光信号がフォトダイオードPDにより電気信号に変換され、その信号が半導体集積回路装置300の入力端子INを介し、増幅用トランジスタQ1及びQ2により増幅されて出力端子OU1から出力されるよう動作するものである。

【0031】前記実施例1と同様に製造することにより、異なる電圧及び異なる増倍数特性のトランジスタを同一チップ上に有する半導体集積回路装置を形成でき、単一の厚さのベース層を有する従来のトランジスタで構成した場合に比べて性能の向上した40GHz以上の増倍を有する前置増幅器を実現することができる。

【0032】ここで、図10に示した前置増幅器が集積された半導体集積回路装置300を搭載した光伝送システムのフロントエンドモジュールの概略構成図を図11に示す。図11において、参照符号401は光ファイバー、402は光ファイバーからの出射光をフォトダイオード上に集光するためのレンズ、403は光ファイバーからの光信号を電気信号に変換するフォトダイオード、404は図10に示した前置増幅器が形成された半導体集積回路装置である。また、407はフォトダイオード403及び前置増幅器404を実装する基板であり、フォトダイオード403及び前置増幅器404等を接続する配線405を介して出力端子406に接続されている。さらに、408は金属ケースなどの保護防止パッケージである。図示していないが、基板407上には図10に示したコンデンサ303も実装されている。このように、光伝送用受信器のフロントエンド部に構成するフォトダイオード402及び前置増幅器404を同一のモジュールに構成することにより、信号経路を短くすることができ、ノイズの乗りにくく、寄生のインダクタンス(L)成分や寄生の容量(C)成分も小さく抑えることができる。

【0033】本実施例は、前置増幅器を前記実施例1に従って製造したバイポーラトランジスタを有する半導体集積回路装置により構成し、この前置増幅器チップを光伝送システムのフロントエンドモジュールに搭載した例である。光ファイバー401から入力した光信号はレンズ402により集光されフォトダイオード403で電気信号に変換される。この電気信号は、基板407上の配線405を通して前置増幅器404で増幅され、出力端子406から出力される。



【0034】次に、図12及び図13に、図10及び図11に示した前段増幅器及びフロントエンドモジュールに採用した光伝送システムのシステム構成図を示す。図12は、光伝送システムの送信側システム500を示している。図12において、伝送すべき電気信号501は、多チャネル入力信号を1つの出力信号に多重化する動作を行うマルチプレクサMUXに入力される。マルチプレクサMUXでは、例えば4:1などに多重化（すなわち、4入力信号を1出力信号に多重化）し、その出力信号がドライバ502に伝送される。半導体レーザーLDは、常時一定の強度の光を出しており、ドライバ502により駆動される外部変調器503により、半導体レーザーLD出力光をドライバ502の出力に応じて吸収あるいは非吸収して変調し、変調した出力光を光フアイバー504に伝送するように送信側システム500は構成されている。

【0035】この送信側システム500のうち、電気信号501を処理するマルチプレクサMUX、及び外部変調器503を駆動するドライバ502には、電圧振幅が大きくなるため耐圧を必要とするトランジスタと、高速度性が要求されるトランジスタとが存在する。例えば、40Gb/s光伝送システムを想定した場合、マルチプレクサMUXやドライバ502を構成している耐圧BV<sub>CE0</sub>として4V以上が要求される高耐圧バイポーラトランジスタは、そのベース層の厚さを、遮断周波数f<sub>T</sub>として100GHz以上を要求されている高遮断周波数バイポーラトランジスタのベース層の厚さよりも厚くすることにより、回路の高性能化が可能となる。

【0036】従って、実施例2で述べたように、図16と図17より高遮断周波数トランジスタのベース幅として20nm、高耐圧トランジスタのベース幅として38nmが必要である。真性ベース層の厚さとベース幅W<sub>B</sub>がほぼ等しいとすれば、実施例1と同様に溝5の幅wが10μmで距離d<sub>1</sub>型半導体シリコン層3からの距離dが1μmの場合、高耐圧トランジスタの真性ベース層10の厚さとして38nmを得るためには、例えば、真性ベース層としてSi<sub>0.9</sub>Ge<sub>0.1</sub>（組成のp型半導体シリコン）ガリウム砒素をエピタキシャル成長する場合、図8より成長速度は1.4nm/minであるから、シリコン基板温度75℃にて3.3分間の成長を行えばいい。この際、高遮断周波数トランジスタの真性ベース層の厚さは20nm程度となる。このように設計することにより、同一チップ上で前述の高遮断周波数とそれぞれ異なる構造のトランジスタを用いてマルチプレクサMUXおよびドライバ502を1C化することができる。尚、図12に示した送信モジュールは、いわゆる外部変調型とよばれるものである。これに代えて、半導体レーザーLDの発光を直接変調する直接変調型を採用することも可能であるが、一般的に外部変調型での送信の方がチャープによるスペクトル発振の広がりがなく、高速、

長距離の伝達に適する。

【0037】次に、光伝送システムの光受信型モジュール510のブロック回路図を図13に示す。図13において、参照符号520はフロントエンドモジュールを示し、このフロントエンドモジュール520には、図10に示した前段増幅器を備える図11のフロントエンドモジュールを適用できる。光ファイバ544を介して伝送されてきた光信号は、フロントエンドモジュール520の受光器521により電気信号に変換された後、ブリアンプ（前段増幅器）522により増幅され、この電気信号は、更にメインアンプ部530に入力されて増幅される。ここで、メインアンプ部530は、光伝送の影響や製造偏差によるバラツキを避け、出力を一定に保つための自動利得調整器（AGC）551と、メインアンプ532とから構成され、メインアンプ532の出力はAGC531に帰還されると共に識別器540及びクロック抽出部550へ入力される。なお、メインアンプ部は利得を調整する構成の他、出力振幅を制限するリミットアンプを併用した構成とすることもできる。

【0038】識別器540は所定のクロックに同期して1ビットのアナログ・デジタル変換を行うよう構成され、メインアンプ部530の出力をデジタル化し、送信側で多重化された信号を元の多チャネルの信号に分離する分離器（デマルチプレクサ）DMUXに入力される。識別器540からの入力信号は、分離器DMUXで、例えば1:4に分離された後（すなわち、多重化された1入力信号を4チャネルの出力信号に分離された後）、後段のデジタル信号処理部560に入力され、所定の処理が行われる。

【0039】クロック抽出部550は、識別器540及び分離器DMUXの動作タイミングを制御するためのクロック信号を、光電変換した電気信号から形成するためのものである。クロック抽出部550では、まず、メインアンプ部530の出力を全波整流器551により整流し、帯域の狭いフィルタ552によりフィルタリングしてクロック信号となる信号を抽出する。フィルタ552の出力は、フィルタ出力とアナログ信号の位相を合わせるための位相器553を連通。この位相器553は、予め定められた遅延値に基づきフィルタ出力を遅延させるものであり、位相器553の出力信号はリミットアンプ554を介して識別器540へ送られる。ここで、全波整流器551及びリミットアンプ554の回路を構成するバイポーラトランジスタは、電圧振幅が大きいため耐圧を高くする必要がある。例えば、40Gb/s光伝送システムでは、識別器540、メインアンプ部530のバイポーラトランジスタの耐圧BV<sub>CE0</sub>としては2V程度が必要であるのに対して、全波整流器551及びリミットアンプ554のバイポーラトランジスタの耐圧BV<sub>CE0</sub>は倍の4V程度が必要となる。このため、実施例1で説明した製造方法を用いて、全波整流器55

1及びリミットアンプ554の回路を構成しているバイポーラトランジスタのベース層の厚さを、他の回路を構成しているバイポーラトランジスタのベース層の厚さよりも厚くすることによって、同時にこれらの回路を同一基板上に、従来の高耐圧トランジスタだけで構成するよりもチップサイズを小さくして作製することができる。従って、高度小型モジュール510の低コスト化及び低消費電力化が可能となる。

【0040】前記実施例2に従って製造したバイポーラトランジスタを有する半導体集積回路装置は、遮断周波数 $f_T$ 、及び最大遮断周波数 $f_{max}$ が100GHz以上の超高速で動作可能なため、図12及び図13の回路構成に適用することにより、1秒当たり400ビット以上の信号を超高速で送受信することができる。また、従来のような高速動作が必要な回路は、シリコンバイポーラトランジスタに比べて動作速度が速いGaAsトランジスタで構成されていたが、本実施例による安価なシリコントランジスタで構成することが可能となるため、システム全体のコストを低減することが可能となる。

【0041】本実施例4参照図14に、本発明に係る半導体集積回路装置を示す。本実施例を示す。図14に示した回路は、移動体無線装置の構成を示すブロック回路図である。本実施例は、実施例1で述べた構造のバイポーラトランジスタを有する半導体集積回路装置の製造方法に従って製造した半導体装置を、低雑音増幅器603、シンセサイザ606、PLL(Phase Locked Loop: フォーズ・ロックド・ループ)611等の移動体無線装置前側の各ブロックを構成する回路に適用した例である。

【0042】本実施例では、アンテナ601からの入力を低雑音増幅器603で増幅し、シンセサイザ606で生成した周波数により帯域器605で帯域させ、低雑音増幅器604からの信号を、帯域器605から発振した信号を用いて、ダウンスミタ604において、より低い周波数へダウンコンバージョンする。さらに、PLL611で生成した発振周波数を帯域器610で選択させ、ダウンスミタ604からの信号を、帯域器610から発振した信号を用いて、復調器609で復調し、より低周波を扱うベースバンドユニット613において信号処理を行う。

【0043】また、ベースバンドユニット613から発生された信号は、変調器612で、PLL611で生成した発振周波数に基づく帯域器610からの信号を用いて変調され、さらに、この変調器612の出力信号はアップスミタ608においてシンセサイザ606で生成した周波数に基づく帯域器605からの信号を用いて高周波アップコンバートされる。このアップコンバートされた信号は、電力増幅器607において増幅された後、アンテナ601より送信される。ここで、スイッチ602は、信号の送信・受信を切り換えるスイッチであり、

ベースバンドユニット613から指示しない制御信号を受けてその送信・受信が制御される。また、ベースバンドユニット613には指示しないスピーカ、マイク等が接続され音声信号の入出力が可能とされている。

【0044】このように動作する移動体無線装置の各回路ブロックのうち、特に低雑音増幅器603、シンセサイザ606、PLL611、電力増幅器607に、実施例1で述べた構造のバイポーラトランジスタを有する半導体集積回路装置を適用して、それぞれの回路を構成すれば好適である。電力増幅器607に用いられているバイポーラトランジスタは、電圧増幅が大きい信号を処理するために耐圧を高くする必要がある。例えば、耐圧 $BV_{CEO}$ として4V程度、遮断周波数 $f_T$ として150Hz程度が必要とされる。これに対して、低雑音増幅器603、シンセサイザ606、PLL611は、遮断周波数 $f_T$ として900GHz以上の高遮断周波数特性が要求される一方、耐圧 $BV_{CEO}$ としては2V程度でよい。従って、同一基板上に異なるベース層の厚さを有するトランジスタを同時に形成できる実施例1で述べた製造方法を用いて、電力増幅器607を構成しているバイポーラトランジスタのベース層の厚さを、低雑音増幅器603、シンセサイザ606、PLL611を構成しているバイポーラトランジスタのベース層の厚さよりも厚くすればよい。

【0045】要求される耐圧と遮断周波数から、図16と図17を用いて高遮断周波数トランジスタのベース層として40nm、高耐圧トランジスタのベース層として50nmが必要である。真性ベース層の厚さとベース層 $W_B$ がほぼ等しいとすれば、実施例1と同様に溝3の幅 $w$ が5 $\mu$ mで低濃度n型半導体シリコン層3からの距離 $d$ が0.3 $\mu$ mの場合、高耐圧トランジスタの真性ベース層10の厚さとして50nmを得るためには、例えば、真性ベース層としてSi<sub>0.6</sub>Ge<sub>0.4</sub>組成のp型半導体シリコン・ゲルマニウム層をエピタキシャル成長する場合は、溝3の幅 $w$ が5 $\mu$ m、距離 $d$ が0.3 $\mu$ mの時、図7よりシリコン基板温度75℃では成長速度が58℃となるから、図8より成長速度は10nm/minである。従って、5分間の成長を行えばよい。この時、図7より溝3の幅 $w$ が1 $\mu$ m、距離 $d$ が0.5 $\mu$ mでは成長速度が58℃であるから、図8より成長速度は8nm/minである。従って、高遮断周波数トランジスタの真性ベース層の厚さは、40nmとなる。このように設計することにより、同一チップ上で耐圧と遮断周波数とがそれぞれ異なる最速なトランジスタを用いて小さなチップサイズで各回路を1C化することができる。従って、本実施例の移動体無線装置の高性能化が可能となり、低コスト化及び低消費電力化が図れる。

【0046】<実施例5>図15に、本発明に係る半導体集積回路装置を適用する更に別の実施例を示す。図15に示した回路は、移動体無線装置前側のPLLのブリス

ゲラに用いるDフリップフロップの回路図である。

【図47】この回路では、入力信号とクロック信号及び出力信号は高電位と低電位の2状態のみを有する。入力信号と反転入力信号をそれぞれ端子719と端子720に入力し、クロック信号と反転クロック信号をそれぞれ端子721と端子723に入力することにより、端子723と端子724から出力信号と反転出力信号を得ることができる。電流源717と718を流れる電流は、クロック信号によりそれぞれトランジスタ709か710、トランジスタ711か712のいずれかに切り替わる。さらに、トランジスタ701〜708のオンオフは、入力信号とクロック信号及び抵抗713、714、715及び716を流れる電流によって生じる抵抗下側の電位により決定される。

【図48】本回路における出力信号は、クロック信号が低電位から高電位に変化した場合に入力値を出力し、それ以外の場合、前入力値を保持する。ここで、トランジスタ701〜708は電圧振幅が大きいため、耐圧を高くする必要がある。例えば、トランジスタ709〜712の耐圧 $BV_{CE0}$ としては1.5V程度であればよいのに対して、トランジスタ701〜708の耐圧 $BV_{CE0}$ としては2.5V以上が必要とされる。なお、遮断周波数 $f_T$ としては、高耐圧及び低耐圧トランジスタの両者共、90dB程度あればよい。従って、これらのトランジスタ701〜708のベース層の厚さを、トランジスタ709〜712のベース層の厚さよりも厚くすることによって、周波数特性、耐圧を最適値に設計するため回路の高性能化が図れる。この場合、図16と図17から、高耐圧トランジスタのベース幅として25nm以上、低耐圧トランジスタのベース幅として15nmとなる。真性ベース層の厚さ $t_{BS}$ とベース幅 $W_B$ がほぼ等しいとすれば、実施例1と同様に獲る幅 $w$ が5 $\mu$ mで低濃度n型単結晶シリコン層3からの距離 $d$ が0.3 $\mu$ mの場合、例えば、真性ベース層としてSi<sub>0.9</sub>G<sub>0.1</sub>組成のp型単結晶シリコン・ゲルマニウム層をエピタキシャル成長すると、図7より成長速度は5.8 $^{\circ}$ Cであるから、図9より成長速度は10nm/minである。従って、高耐圧トランジスタの真性ベース層10の厚さとして25nm以上を得るためには、シリコン基板温度575 $^{\circ}$ Cにて2.5分間の成長を行えばよい。この時、溝6の幅 $w'$ を0.5 $\mu$ m、距離 $d'$ を1 $\mu$ mとすると、図7より成長速度は575 $^{\circ}$ Cであるから、図8より成長速度は9nm/minである。従って、低耐圧トランジスタの真性ベース層の厚さは、15nm程度が得られる。

【図49】このように設計することにより、同一基板上に同時にベース層の厚さの違うトランジスタを作製できるため、耐圧の異なる最適な素子サイズのトランジスタでDフリップフロップを構成できる。

【図50】以上、本発明の好適な実施例について説明

したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。例えば、実施例中では真性ベース層として単結晶シリコン・ゲルマニウム層を用いた場合について説明したが、単結晶シリコン層を用いてよいことは言うまでもない。また、簡易的に酸化膜で充填された素子分離領域と異なる溝幅 $w$ をパラメータにして、低濃度コレクタ層の厚さと距離 $d$ との関係を示した、熱安定してはたらく素子分離領域の寄与をパラメータにしても同様の関係が求められることは勿論である。

【0051】

【発明の効果】前述した実施例より明らかなように、本発明によれば、遮断周波数および耐圧の違うトランジスタを同時に同一半導体基板上に作製することができる。このため、バイポーラトランジスタを用いた半導体集積回路の高性能化が可能となる。

【0052】トランジスタの耐圧を補うために必要なダイオードの数が低減できることから、従来のダイオード追加による高耐圧に必要なトランジスタの寄生容量が実効的に増加してしまい回路動作が低減してしまうという問題が解消できる。

【0053】また、同一半導体基板上に同時にベース層の厚さの異なるトランジスタを作製できるため、低消費電力で高速に動作する各種回路が得られる。これを充放電システムの増幅回路および周辺回路に適用することにより、大容量の信号を短時間で過渡応答することが可能となる。これを移動体無線設備に適用することにより、低コスト、低消費電力な移動体無線設備を構築することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路装置の一実施例を示す断面構造図である。

【図2】従来例の半導体集積回路装置を示す断面構造図である。

【図3】図1に示した構造の半導体集積回路装置の製造方法を示す断面構造図である。

【図4】図3に示した次の製造工程を示す断面構造図である。

【図5】図4に示した次の製造工程を示す断面構造図である。

【図6】図5に示した次の製造工程を示す断面構造図である。

【図7】低濃度コレクタ層の厚さと素子分離領域の幅および素子分離領域と低濃度コレクタ層との距離の関係をjす特性線図である。

【図8】Si<sub>1-x</sub>G<sub>x</sub>エピタキシャル成長速度のアレニウスプロットによる特性線図である。

【図9】本発明に係る半導体集積回路装置を適用する論理回路の一実施例を示す回路図である。

【図10】本発明に係る半導体集積回路装置を適用する前増幅回路部の一実施例を示す回路図である。

【図 11】本発明に係る半導体集積回路装置を適用する光伝送システムのフロントエンドモジュールの概略構成図である。

【図 12】本発明に係る半導体集積回路装置を適用する、光伝送システムの送信側システムを示すブロック回路図である。

【図13】本発明に係る半導体集積回路装置を適用する光伝送システムの光受信部モジュールを示すブロック図である。

【図 14】本発明に係る半導体集積回路装設を適用する移動体無線機構成の構成を示すブロック図である。

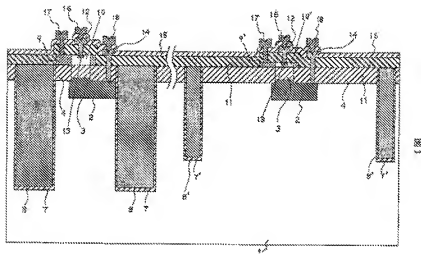
【図16】本発明に係る半導体集積回路装置を適用する移動体無線通信機のPLIのプリスケラに用いるDフリップフロップの簡略図である。

【図16】バイポーラトランジスタのベース電圧と遮断周波数との関係を示す特性線図である。

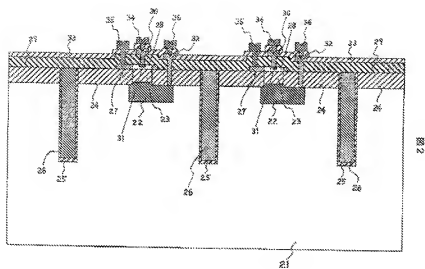
【図17】バイポーラトランジスタのベース極と閾値との関係を示す特性線図である。

## References

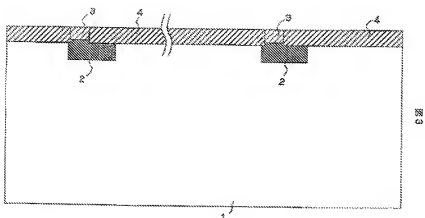
1. 2-1…シリコン基板、
2. 2-2…高濃度n型埋込層、
3. 2-3…低濃度n型コレクタ層（単結晶シリコン）、
4. 2-4…コレクタ・ベース分離絶縁膜、
5. 6…素子分離絶縁領域の溝、
7. 7'、8、8'、2-5、2-6…素子分離絶縁膜、
9. 2-7…ベース引き出し層（p型多結晶シリコンもしくは多結晶シリコン・ゲルマニウム）、
10. 2-8…真性ベース層（p型単結晶シリコンもしくは単結晶シリコン・ゲルマニウム）、
11. 2-9…エミッタ・ベース分離絶縁線、
12. 3-0…エミッタ引き出し層（高濃度n型多結晶シリコン）、
13. 3-1…エミッタ領域、
14. 3-2…コレクタ引き出し層（高濃度n型多結晶シリコン）、
15. 3-3…絶縁膜、
16. 3-4…エミッタ電極、
17. 3-5…ベース電極、
18. 3-6…コレクタ電極、

[illegible]

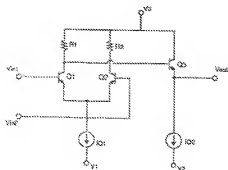
【図 2】



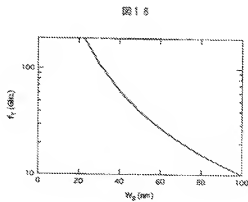
【図 3】



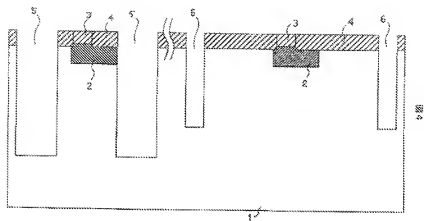
【図 9】



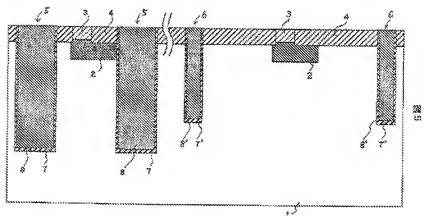
【図 16】



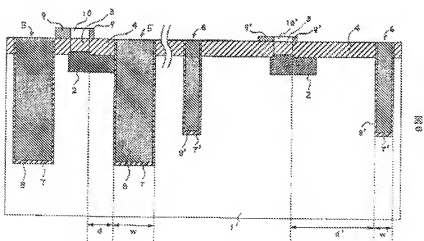
【図 4】



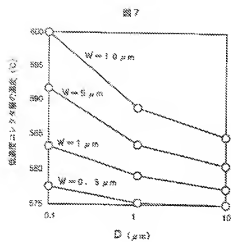
【図 5】



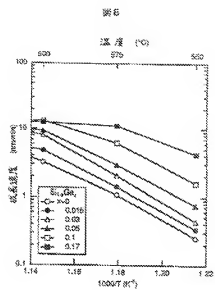
【図 6】



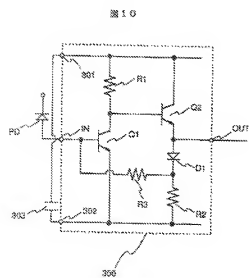
【図 7】



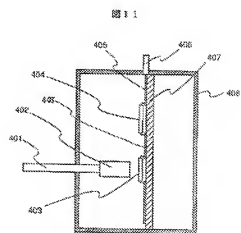
【図 8】



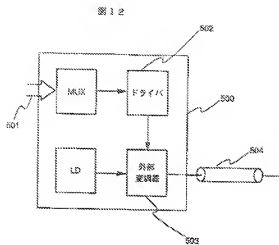
【図 10】



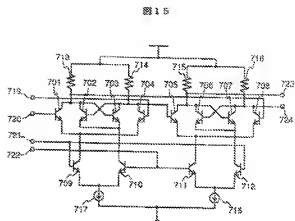
【図 11】



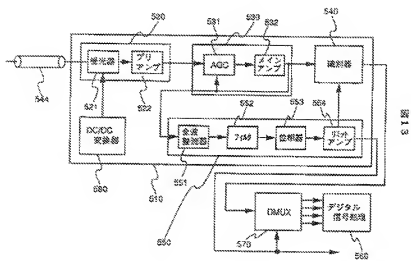
18123



you  
it  
me  
the  
and

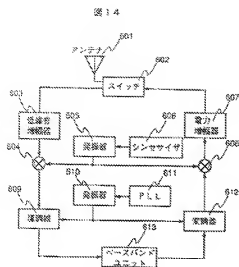


[ 13 ]

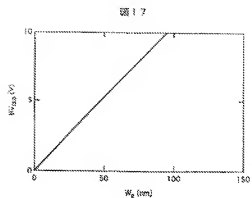




【図 14】



【図 17】



フロントページの続き

(72)発明者 鷺尾 勝由  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内